



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07239844 A

(43) Date of publication of application: 12 . 09 . 95

(51) Int. CI

G06F 17/16

(21) Application number: 06028740

(71) Applicant: KOFU NIPPON DENKI KK

(22) Date of filing: 28 . 02 . 94

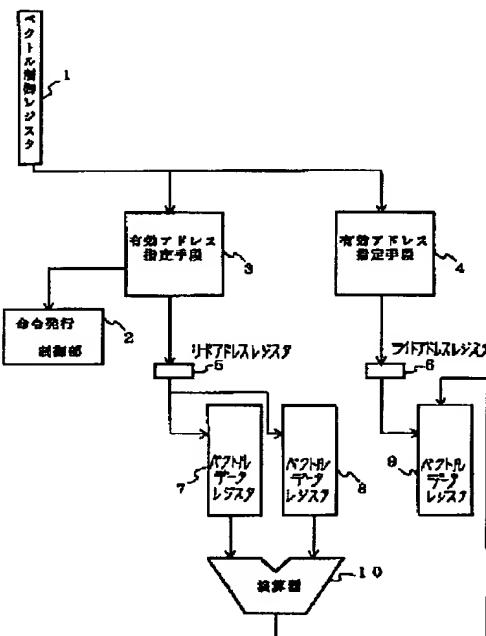
(72) Inventor: SHIJIYOU KAZUE

(54) VECTOR PROCESSOR

(57) Abstract:

PURPOSE: To much more accelerate the vector processing by executing a conditional vector arithmetic instruction with a vector length degenerated just to a valid position.

CONSTITUTION: A vector control register 1 holds a mask bit showing validity and invalidity to be used for the conditional vector arithmetic instruction. An instruction issue control part 2 controls the issue of vector arithmetic instruction. When the conditional vector arithmetic instruction is issued from the instruction issue control part 2, valid address designating means 3 and 4 successively investigate valid bit positions where the mask bit is '1' in the vector control register 1 and designate the valid address to respective vector data registers 7, 8 and 9 corresponding to those valid bit positions. The vector data registers 7 and 8 are read by using only the designated valid address, and a computing element 10 alternately calculates those contents and stores the arithmetic result in the vector data register 9 by using only the designated valid address.



COPYRIGHT: (C)1995,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-239844

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

G06F 17/16

G06F 15/347

J

D

審査請求 未請求 請求項の数 3 O L (全7頁)

(21) 出願番号 特願平6-28740

(71) 出願人 000168285

甲府日本電気株式会社

(22) 出願日 平成6年(1994)2月28日

山梨県甲府市大津町1088-3

(72) 発明者 四條 多恵

山梨県甲府市大津町1088-3 甲府日本電気株式会社内

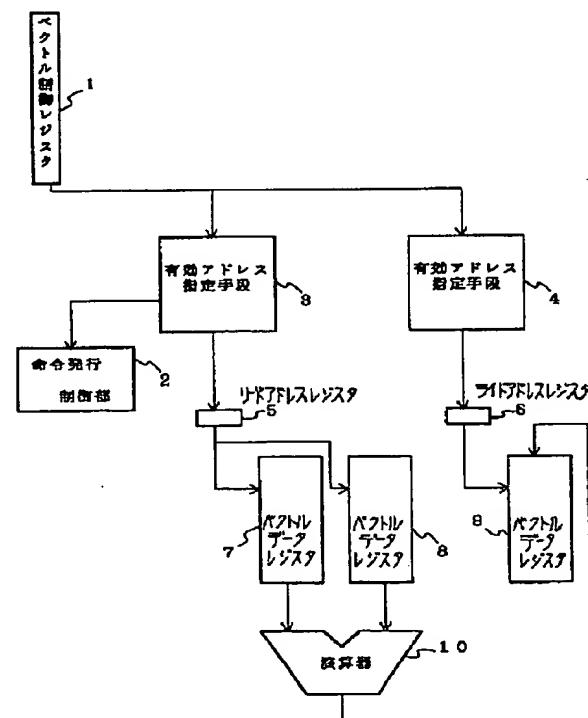
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】ベクトル処理装置

(57) 【要約】

【目的】 有効位置だけに縮退されたベクトル長で条件付きベクトル演算命令を実行することにより、より一層のベクトル処理の高速化を実現する。

【構成】 ベクトル制御レジスタ1は、条件付きベクトル演算命令に用いる有効および無効を示すマスクビットを保持する。命令発行制御部2は、ベクトル演算命令の発行を制御する。有効アドレス指定手段3, 4は、命令発行制御部2から条件付きベクトル演算命令が発行されたとき、ベクトル制御レジスタ1のマスクビットが“1”である有効ビット位置を順次に調査して、その有効ビット位置に対応するベクトルデータレジスタ7, 8, 9の各々に有効アドレスを指定する。指定された有効アドレスだけを使用して、ベクトルデータレジスタ7, 8が読み出され、演算器10は、それらの内容を相互に演算して、指定された有効アドレスだけを使用して演算結果をベクトルデータレジスタ9に格納する。



1

【特許請求の範囲】

【請求項 1】 (A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報のN (Nは正の整数) 個のマスクビットを保持するベクトル制御レジスタと、(B) ベクトル演算命令の発行を制御する命令発行制御部と、(C) それぞれがN個のアドレスを持つM (Mは正の整数) 個のベクトルデータレジスタと、

(D) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが“1”である有効ビット位置を順次に調査し、その有効ビット位置に対応するM個の前記ベクトルデータレジスタの有効アドレスを指定する複数の有効アドレス指定手段と、(E) 前記有効アドレス指定手段の一つによって順次に指定された有効アドレスだけを使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算して、他の前記有効アドレス指定手段によって順次に指定された有効アドレスだけを使用して演算結果を前記ベクトルデータレジスタに格納する演算手段と、を備えることを特徴とするベクトル処理装置。

【請求項 2】 (A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報のN (Nは正の整数) 個のマスクビットを保持するベクトル制御レジスタと、(B) 演算を行う対象とするベクトル長L (Lは正の整数で $L \leq N$) を保持するベクトル長レジスタと、

(C) ベクトル演算命令の発行を制御する命令発行制御部と、(D) それぞれがN個のアドレスを持つM (Mは正の整数) 個のベクトルデータレジスタと、(E) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが“1”である有効ビット位置を順次に調査して、L以下の位置にある有効ビット位置に対応するM個の前記ベクトルデータレジスタの有効アドレスを保持する有効アドレス指定手段と、(F) 前記ベクトル制御レジスタのL以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、(G) 前記有効アドレス指定手段に保持する有効アドレスだけを順次に使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記有効アドレス指定手段に保持する有効アドレスだけを使用して、演算結果を順次に前記ベクトルデータレジスタに格納する演算手段と、を備えることを特徴とするベクトル処理装置。

【請求項 3】 (A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報のN (Nは正の整数) 個のマスクビットを保持するベクトル制御レジスタと、(B) 演算を行う対象とするベクトル長L (Lは正の整数で $L \leq N$) を保持するベクトル長レジスタと、(C) ベクトル演算命令の発行を制御する命令発行制御部と、(D) それぞれがN個のアドレスを持つM (Mは正の整数) 個のベクトルデータレジスタと、(E) 前記

2

命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが“1”である有効ビット位置を順次に調査し、L以下の位置にある有効ビット位置に対して、マスクビットが“1”である最初の有効ビット位置を保持して、以降には保持した有効ビット位置から次の有効ビット位置までの距離を求めた有効ビット間隔を保持する有効アドレス指定手段と、(F) 前記ベクトル制御レジスタのL以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、(G) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受けて、これらを加算して前記ベクトルデータレジスタにリードアドレスを順次に送出するリードアドレスカウンタと、(H) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受けて、これらを加算して前記ベクトルデータレジスタにライトアドレスを順次に送出するライトアドレスカウンタと、(I) 前記リードアドレスカウンタから得たリードアドレスを順次に使用して、幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記ライトアドレスカウンタから得たライトアドレスを順次に使用し、演算結果を前記ベクトルデータレジスタの有効アドレスだけに格納する演算手段と、を備えることを特徴とするベクトル処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ベクトル処理装置に関する、特に、情報処理システムのベクトル処理装置に関する。

【0002】

【従来の技術】 従来のベクトル処理装置は、ベクトル演算命令が連続する場合でかつベクトル制御レジスタ中の処理の有効を示すマスクビットの数がベクトル長に占める割合が低い場合（例えば、スペースベクトルのような場合）に、元のベクトルデータを有効位置のみの構成のベクトルデータに縮退させるベクトルコンプレス命令を実行した後に、短ベクトル長のベクトルデータでベクトル演算命令を実行して、最後に、再びベクトル制御レジスタの内容に従って縮退された各データを縮退前の要素番号の位置に展開するベクトルエクスパンド命令を実行することにより、ベクトル処理の高速化を計っている。

【0003】

【発明が解決しようとする課題】 上述した従来のベクトル処理装置は、元のベクトル長の条件付きベクトル演算命令を実行するよりは、ベクトル処理を高速化することができるけれども、元のベクトルデータをベクトルコンプレス命令で有効データのみに縮退させて、有効データ分のベクトル長でのベクトル演算命令を実行し、最後に、ベクトルエクスパンド命令で再び縮退前の要素番号

50

の位置に各データを展開しているので、多くの処理時間を必要とするという欠点を有している。

【 0 0 0 4 】

【課題を解決するための手段】第1の発明のベクトル処理装置は、(A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報のN(Nは正の整数)個のマスクビットを保持するベクトル制御レジスタと、(B) ベクトル演算命令の発行を制御する命令発行制御部と、(C) それぞれがN個のアドレスを持つM(Mは正の整数)個のベクトルデータレジスタと、(D) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが“1”である有効ビット位置を順次に調査し、その有効ビット位置に対応するM個の前記ベクトルデータレジスタの有効アドレスを指定する複数の有効アドレス指定手段と、(E) 前記有効アドレス指定手段の一つによって順次に指定された有効アドレスだけを使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算して、他の前記有効アドレス指定手段によって順次に指定された有効アドレスだけを使用して演算結果を前記ベクトルデータレジスタに格納する演算手段と、を備えて構成されている。

【 0 0 0 5 】また、第2の発明のベクトル処理装置は、(A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報のN(Nは正の整数)個のマスクビットを保持するベクトル制御レジスタと、(B) 演算を行う対象とするベクトル長L(Lは正の整数でL≤N)を保持するベクトル長レジスタと、(C) ベクトル演算命令の発行を制御する命令発行制御部と、(D) それぞれがN個のアドレスを持つM(Mは正の整数)個のベクトルデータレジスタと、(E) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが“1”である有効ビット位置を順次に調査して、L以下の位置にある有効ビット位置に対応するM個の前記ベクトルデータレジスタの有効アドレスを保持する有効アドレス指定手段と、(F) 前記ベクトル制御レジスタのL以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、(G) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受け、これらを加算して前記ベクトルデータレジスタにリードアドレスを順次に送出するリードアドレスカウンタと、(H) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受け、これらを加算して前記ベクトルデータレジスタにライトアドレスを順次に送出するライトアドレスカウンタと、(I) 前記リードアドレスカウンタから得たリードアドレスを順次に使用して、幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記ライトアドレスカウンタから得たライトアドレスを順次に使用し、演算結果を前記ベクトルデータレジスタの有効アドレスだけに格納する演算手段と、を備えて構成されている。

【 0 0 0 7 】

【実施例】統いて、本発明の実施例について、図面を参考して説明する。図1は本発明のベクトル処理装置の第1の実施例を示すブロック図である。また、図2は図1のベクトル制御レジスタ1の内容および有効アドレス指定手段3、4の内容の一例を示す図である。

【 0 0 0 8 】第1の実施例では、図1および図2に示すベクトル制御レジスタ1中のマスクビットが“1”的とき、ベクトルデータレジスタ7、8、9に対するその位置が有効であることを示すとともに、処理可能な最大ベクトル長が“15”になっている。

【 0 0 0 9 】以下に、条件付きベクトル演算命令が実行された場合の動作を図1および図2に基いて説明する。

【 0 0 1 0 】まず、命令発行制御部2により、条件付きベクトル演算命令が発行されると、有効アドレス指定手段3は、ベクトル制御レジスタ1中のマスクビットが“1”である有効ビット位置のアドレスを“00”から順次に調査し、1サイクルごとにリードアドレスレジスタ5に送出している。

【 0 0 1 1 】すなわち、図2の如く、最初のサイクルではアドレス“00”を送出し、次のサイクルでアドレス“01”，“02”のマスクビットが“0”的ためアド

レス “03” を送出する。このようにしてアドレス “00”, “03”, “04”, “05”, “07”, “09”, “10” が 1 サイクルごとに順次に送出されている。

【0012】そこで、ベクトルデータレジスタ 7, 8 は、リードアドレスレジスタ 5 に得たこれらのアドレスに従ってベクトルデータを順次に読出るので、演算器 10 は、ベクトルデータレジスタ 7, 8 から読出したデータを順次に入力して演算して、ベクトルデータレジスタ 9 に対して演算結果のデータを順次に出力している。

【0013】一方、有効アドレス指定手段 4 は、演算器 10 の演算処理時間およびベクトルデータレジスタ 7, 8 と演算器 10 との間のデータ転送時間並びに演算器 10 とベクトルデータレジスタ 9 との間のデータ転送時間などの合計に合わせて、有効アドレス指定手段 3 からリードアドレスレジスタ 5 へのアドレスやデータの送出から一定時間後に、有効アドレス指定手段 3 と同様の動作により、生成した有効アドレスをライトアドレスレジスタ 6 に対して順次に送出して、ライトアドレスレジスタ 6 の指示に従って、ベクトルデータレジスタ 9 内に演算結果のデータを順次に書き込んでいる。

【0014】また、有効アドレス指定手段 3 は、アドレスの送出を停止したときには、命令発行制御部 2 に停止の報告信号を送出するので、命令発行制御部 2 は、後続命令の発行制御に移行している。

【0015】次に、図 3 は本発明のベクトル処理装置の第 2 の実施例を示したブロック図である。また、図 4 は図 3 のベクトル制御レジスタ 11 の内容および有効アドレス指定手段 13 の内容の一例を示す図である。

【0016】第 2 の実施例では、図 3 および図 4 に示すように、ベクトル制御レジスタ 11 中のマスクビットが “1” のときに、ベクトルデータレジスタ 17, 18, 19 に対するその位置が有効であることを示すとともに、処理可能な最大ベクトル長は、“15” になっている。

【0017】以下には、ベクトル長レジスタ 21 に有するベクトル長が “14” で条件付きベクトル演算命令が実行された場合の動作について図 3 および図 4 に基いて説明する。

【0018】最初に、有効ビット数カウンタ 12 は、ベクトル制御レジスタ 11 中のマスクビットのカウントを行うとともに、有効アドレス指定手段 13 は、ベクトル制御レジスタ 11 のマスクビットが “1” になっている有効ビット位置のアドレスを “00” から順次に調査して、その有効アドレスを保持している。

【0019】すなわち、有効アドレス指定手段 13 は、図 4 のように、最初に有効アドレス “00” を保持し、次にアドレス “01”, “02” のマスクビットが “0” のため有効アドレス “03” を保持する。このようにして有効アドレス “00”, “03”, “04”,

“05”, “07”, “09” および “10” を保持し、ベクトル長レジスタ 21 のベクトル長が “14” のために、アドレス “13” のマスクビットが “0” であることを確認してこの動作を停止している。

【0020】また、有効ビット数カウンタ 12 は、アドレス “14” に有効ビットの “1” があっても、カウントせずに有効ビット数を “7” と判定して、命令発行制御部 14 に報告するので、以降で、命令発行制御部 14 は、実行ベクトル長を “7” として動作する。

10 【0021】そこで、命令発行制御部 14 により、条件付きベクトル演算命令が発行されると、有効アドレス指定手段 13 に有する有効アドレスがリードアドレスレジスタ 15 に送出されるので、ベクトルデータレジスタ 17, 18 は、リードアドレスレジスタ 15 からの上記の有効アドレスに従って、ベクトルデータを順次に読出し、演算器 20 は、ベクトルデータレジスタ 17, 18 の各々から受けたデータを順次に入力して演算して、演算結果のデータをベクトルデータレジスタ 19 に出力している。

20 【0022】また、有効アドレス指定手段 13 は、演算器 20 における演算処理時間およびベクトルデータレジスタ 17, 18 と演算器 20 との間のデータ転送時間並びに演算器 20 とベクトルデータレジスタ 19 との間のデータ転送時間などの合計の時間に合わせて、リードアドレスレジスタ 15 へのアドレスやデータの送出から一定時間後に、同様の動作により上記の有効アドレスをライトアドレスレジスタ 16 に対して順次に送出している。

【0023】そこで、ベクトルデータレジスタ 19 は、30 ライトアドレスレジスタ 16 の指示に従って演算結果のデータを有効アドレスだけに順次に格納している。そして、命令発行制御部 14 は、実行ベクトル長の動作の終了を確認して後続命令の発行制御に移行している。

【0024】なお、第 3 の実施例のベクトル処理装置は、これ以降にベクトル制御レジスタ 11 の内容またはベクトル長レジスタ 21 に有するベクトル長の “14” が変更されない限り、条件付きベクトル演算命令が発行される毎に、有効アドレス指定手段 13 が保持する上記の有効アドレスをベクトルデータレジスタ 17, 18, 19 のそれぞれに対するリードアドレスまたはライトアドレスとして以降の動作を行っている。

【0025】次に、図 5 は本発明のベクトル処理装置の第 3 の実施例を示したブロック図である。また、図 6 は図 5 のベクトル制御レジスタ 31 の内容および有効アドレス指定手段 33 の内容の一例を示す図である。

【0026】第 3 の実施例では、図 5 および図 6 に示すように、ベクトル制御レジスタ 31 中のマスクビットが “1” のときに、ベクトルデータレジスタ 39, 40, 41 に対するその位置が有効であることを示すとともに、処理可能な最大ベクトル長は、“15” になっている。

る。

【0027】以下には、ベクトル長レジスタ43に有するベクトル長が“14”で条件付きベクトル演算命令が実行された場合の動作について図5および図6に基いて説明する。

【0028】最初に、有効ビット数カウンタ32は、ベクトル制御レジスタ31中のマスクビットのカウントを行うとともに、有効アドレス指定手段33は、ベクトル制御レジスタ31のアドレスを“00”から順次に調査して、まず、マスクビットが“1”である最初の有効ビット位置を保持して、以降には、そのときに保持した有効ビット位置から次の有効ビット位置までの距離を調査して有効ビット間隔を保持している。

【0029】すなわち、図6の如く、有効アドレス指定手段33は、まず、マスクビットが“1”である最初の有効ビット位置の“00”を保持し、順次に有効ビット位置から次の有効ビット位置までの距離である有効ビット間隔“03”，“01”，“01”，“02”，“02”，“01”を保持している。

【0030】なお、この場合には、ベクトル長レジスタ43のベクトル長が“14”的ためアドレス“13”までのマスクビットが調査され、アドレス“14”は、“1”があっても有効ビット位置にならないこととなる。また、有効ビット数カウンタ32は、有効ビット数を“7”として命令発行制御部34に報告するので、以降で、命令発行制御部34は、実行ベクトル長を“7”として動作している。

【0031】そして、命令発行制御部34により、条件付きベクトル演算命令が発行されると、リードアドレスカウンタ35は、有効アドレス指定手段33に保持しているマスクビットの有効ビット間隔を順次に与えられて、これらを加算して、リードアドレスレジスタ37にリードアドレスを順次に送出している。

【0032】そこで、ベクトルデータレジスタ39，40は、リードアドレスレジスタ37から上記のリードアドレスを順次に与えられて、ベクトルデータを順次に読出るので、演算器42は、ベクトルデータレジスタ39，40から読出したデータを順次に入力して演算し、演算結果のデータをベクトルデータレジスタ41に出力している。

【0033】一方、ライトアドレスカウンタ36は、演算器42による演算処理時間およびベクトルデータレジスタ39，40と演算器42との間のデータ転送時間並びに演算器42とベクトルデータレジスタ41との間のデータ転送時間などの合計の時間に合わせて、有効アドレス指定手段33からリードアドレスカウンタ35への有効ビット間隔の送出から一定時間後に、有効アドレス指定手段33から同様にマスクビットの有効ビット間隔を順次に与えられて、これらを加算することにより、ライトアドレスレジスタ38にライトアドレスを順次に送

出している。

【0034】そこで、ベクトルデータレジスタ41は、ライトアドレスレジスタ38からの上記のライトアドレスを順次に与えられ、演算器42からの演算結果のベクトルデータを有効アドレスだけに順次に格納している。そして、命令発行制御部34は、実行ベクトル長の動作の終了を確認して続く後続命令の発行制御に移行している。

【0035】なお、第3の実施例のベクトル処理装置10は、これ以降にベクトル制御レジスタ31の内容またはベクトル長レジスタ43に有するベクトル長の“14”が変更されない限り、条件付きベクトル演算命令が発行される毎に、有効アドレス指定手段33が保持する上記の有効ビット間隔をリードアドレスレジスタ37およびライトアドレスレジスタ38の加算数として使用して、ベクトルデータレジスタ39，40，41に対するリードアドレスまたはライトアドレスを算出して以降の動作を行っている。

【0036】
20 【発明の効果】以上に説明したように、本発明のベクトル処理装置は、条件付きベクトル演算命令を処理する際には、ベクトル制御レジスタの中で有効を示すマスクビットに対応したベクトルデータレジスタの要素番号のみをリードアドレスおよびライトアドレスとして指定する有効アクセス指定手段を使用することによって、従来のベクトル処理装置で行われて来たベクトルコンプレス命令によるデータの縮退やベクトルエクスパンド命令によるデータの展開を実行せず、縮退されたベクトル長による条件付きベクトル演算命令を実行することが可能になって、より一層のベクトル処理の高速化を実現できるという効果を有している。

【図面の簡単な説明】
【図1】本発明のベクトル処理装置の一実施例を示すブロック図である。

【図2】図1のベクトル制御レジスタ1の内容と有効アドレス指定手段3，4の内容との一例を示す図である。

【図3】本発明のベクトル処理装置の第2の実施例を示したブロック図である。

【図4】図3のベクトル制御レジスタ11の内容と有効アドレス指定手段13の内容との一例を示す図である。

【図5】本発明のベクトル処理装置の第3の実施例を示したブロック図である。

【図6】図5のベクトル制御レジスタ31の内容と有効アドレス指定手段33の内容との一例を示す図である。

【符号の説明】
1，11，31 ベクトル制御レジスタ
2，14，34 命令発行制御部
3，4，13，33 有効アドレス指定手段
5，15，37 リードアドレスレジスタ
6，16，38 ライトアドレスレジスタ
50

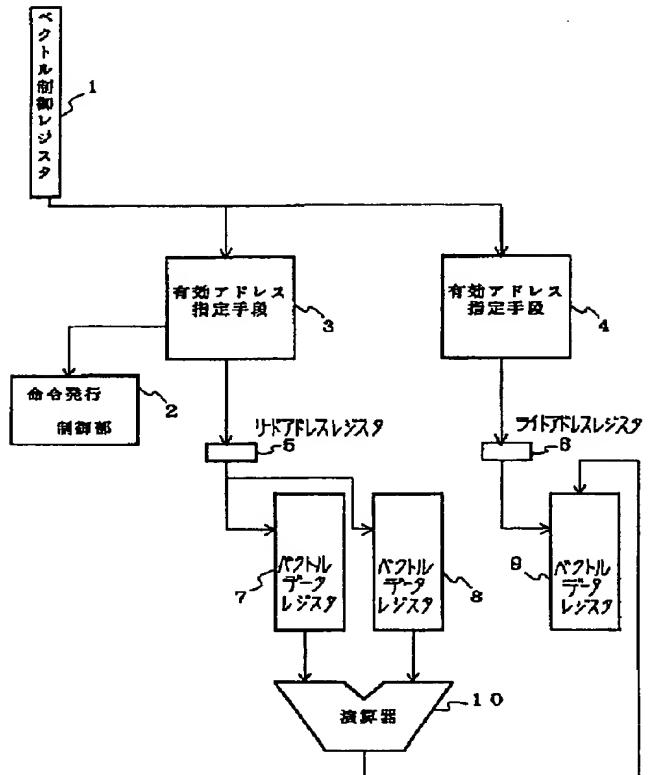
9

10

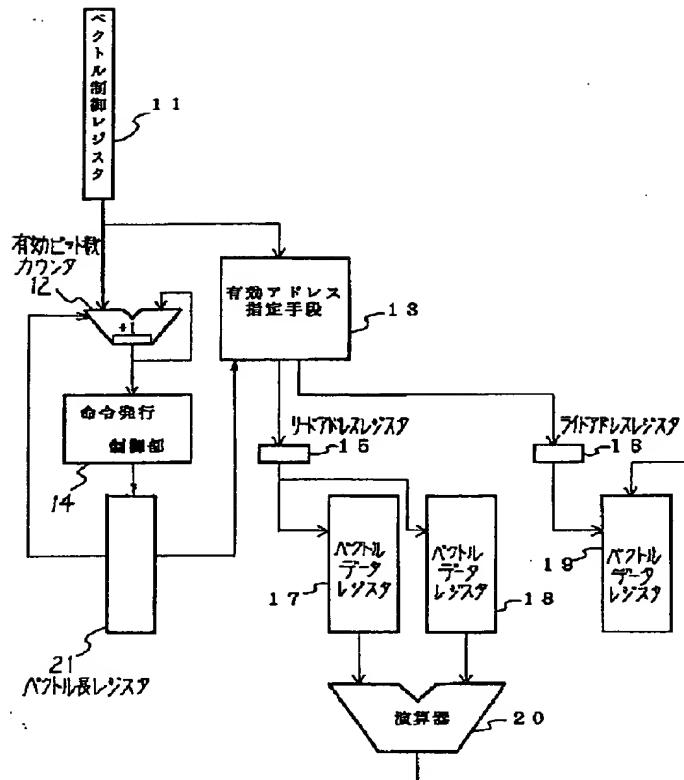
7, 8, 9, 17, 18, 19, 39, 40, 41
ベクトルデータレジスタ
10, 20, 42 演算器
12, 32 有効ビット数カウンタ

21, 43 ベクトル長レジスタ
35 リードアドレスカウンタ
36 ライトアドレスカウンタ

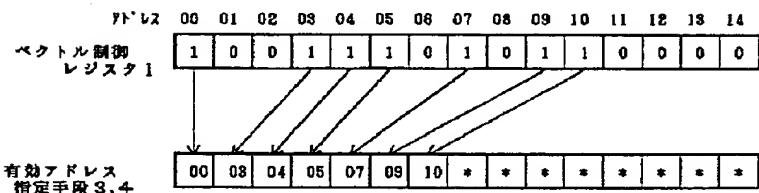
【図 1】



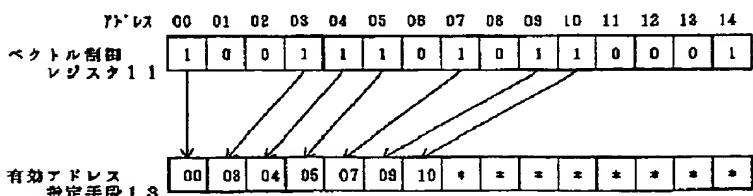
【図 3】



【図 2】

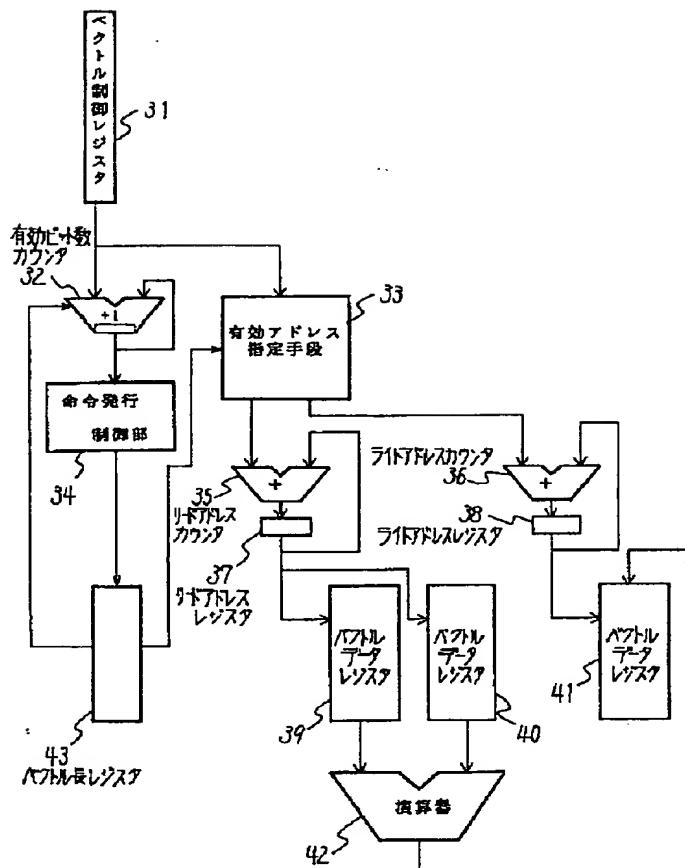


【図 4】

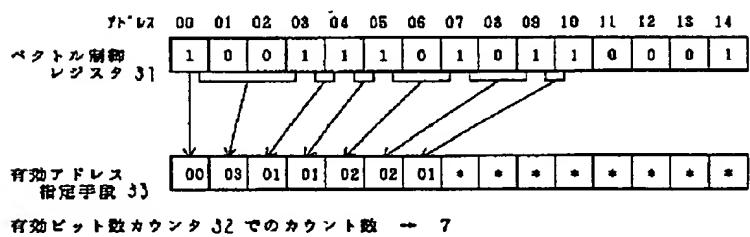


有効ビット数カウンタ 12 でのカウント数 → 7

【図 5】



【図 6】





THIS PAGE BLANK (USPTO)